1.

Registri, brojila i slijedni sklopovi

1.1. Registri
1.2. Brojila
1.3. Slijedni sklopovi

www.element.hr

1.1. Registri

1.1.1. Načela rada i izvedbe registara

Bistabil, kao osnovni element za pamćenje, može upamtiti samo jedan bit. Digitalni podatci redovito su višebitni, pa je za rad s njima potrebno povezati bistabile u nizove, pri čemu svaki bistabil pamti po jedan bit podatka.

Niz povezanih bistabila koji privremeno pamte neki podatak zove se **registar**.

U registre se upisuju podatci, adrese podataka, instrukcije ili bitovi koji pokazuju stanje procesa.

Registar je privremeni spremnik podataka.

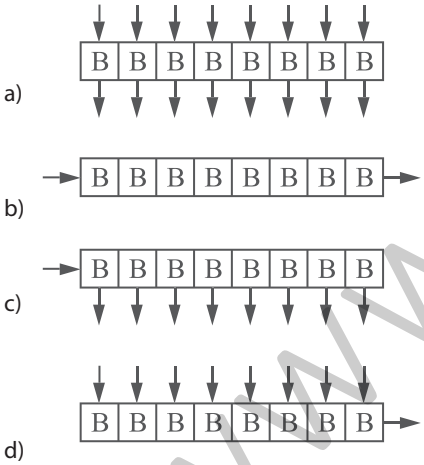
Ako želimo trajnije pohraniti podatak, služimo se memorijama s kojima ćemo se upoznati u trećem poglavlju.

Osnovni elementi registra su bistabili (B) kojih ima onoliko koliko bitova ima podatak.

Podatak se može upisati (spremiti, pohraniti) te ispisati (čitati, dohvatiti) serijski ili paralelno. Prema načinu upisa i ispisa podatka, registri se dijele na:

- registre s paralelnim upisom i ispisom
- registre sa serijskim upisom i ispisom
- registre sa serijskim upisom i paralelnim ispisom
- registre s paralelnim upisom i serijskim ispisom podataka.

Načela rada navedenih registara prikazuje slika 1.1.



Slika 1.1.

Načelna shema registra:

a) s paralelnim upisom i paralelnim ispisom podataka

b) sa serijskim upisom i serijskim ispisom podataka

c) sa serijskim upisom i paralelnim ispisom podataka

d) s paralelnim upisom i serijskim ispisom podataka

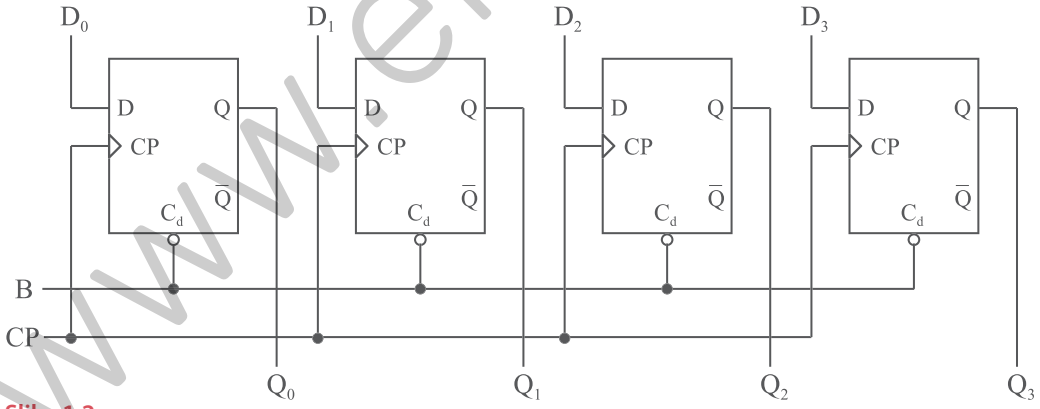
Slika 1.1 b) prikazuje registar sa serijskim upisom i ispisom kod kojeg bit podatka koji prvi uđe u registar, ujedno prvi i izađe. Takav registar naziva se **FIFO registar** (engl. ***F**irst **I**n **F**irst **O**ut*). Osim ovog načina moguće je da su ulaz i izlaz na istoj strani, pa onda bit podatka koji zadnji uđe u registar prvi iz njega izađe. Takav registar naziva se **LIFO registar** (engl. ***L**ast **I**n **F**irst **O**ut*). LIFO registar ima višestruku primjenu u računalstvu.

Univerzalni registri imaju obje mogućnosti upisa i ispisa podataka.

www.element.hr

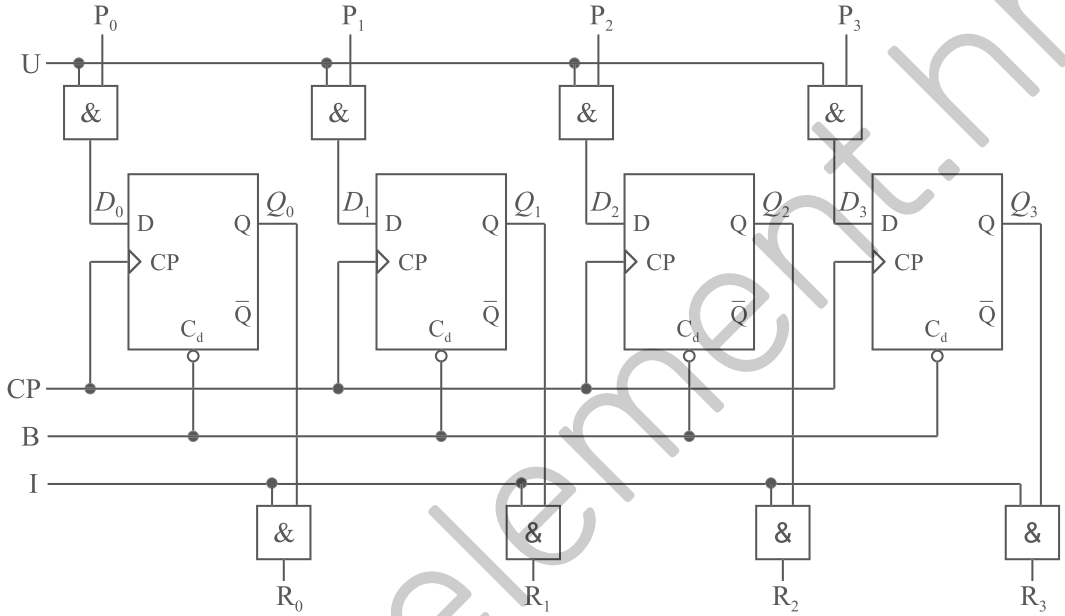
1.1.2. Registar s paralelnim upisom i ispisom podataka

Kod registra s paralelnim upisom i ispisom svi se bitovi podataka (D_0, D_1, D_2 i D_3) istovremeno dovode na ulaze registra (slika 1.2). Cijeli n-bitni podatak upisuje se u registar s prvim djelotvornim impulsom ritma. S obzirom na to da se svi bitovi podatka istovremeno upisuju u registar, za upis ili ispis n-bitnog podatka potreban je samo jedan impuls ritma CP. Sadržaj registra briše se signalom za brisanje na ulazu B.



Slika 1.2.

4-bitni registar s paralelnim upisom i ispisom podatka



Slika 1.3.

4-bitni registar s posebnim ulazima za upravljanje paralelnim upisom i ispisom podatka

www.element.hr

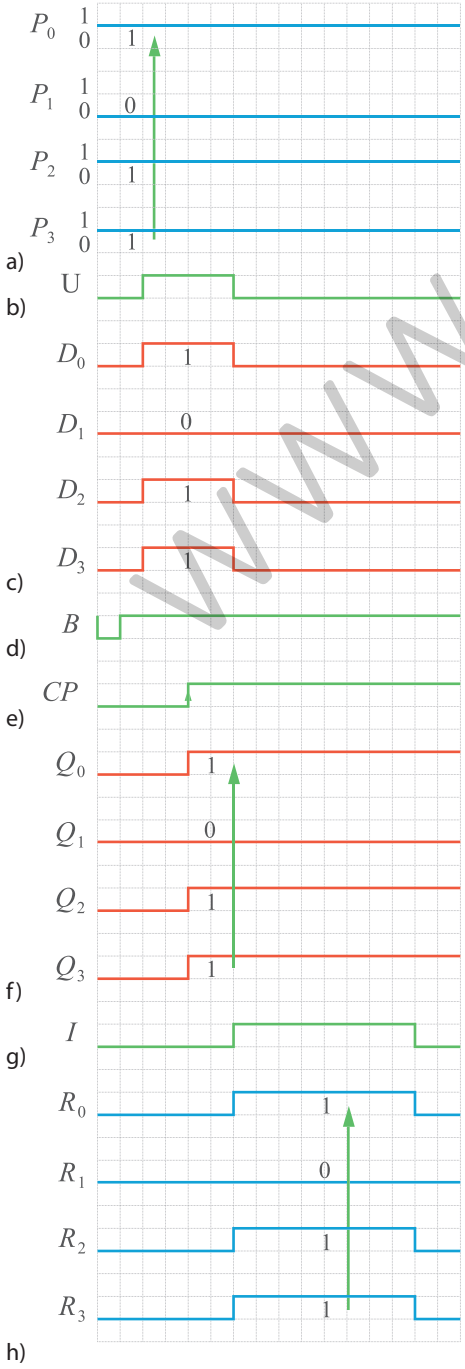
Općenito za upis (ispis) *n*-bitnog podatka u registar s paralelnim upisom i ispisom potreban je **1 impuls ritma *CP***.

Osim bistabila registar sadrži i sklopove za upravljanje upisom i ispisom podatka. Slika 1.3 prikazuje 4-obitni registar s posebnim ulazima za upravljanje paralelnim upisom i ispisom podatka.

Na ulazima registra nalaze se sklopovi I, koji rade kao sklopovi za dopuštenje prolaza ulaznog podatka. Kada se na ulaz U dovede logička jedinica, svi bitovi podatka istovremeno dolaze na ulaze D bistabila i podatak je spreman za upis. Upis svih bitova podatka u pripadne bistabile registra obavlja se istovremeno, uz djelotvorni impuls ritma *CP* (u ovom slučaju rastući brid). Podatak je tada upisan u registar.

Za čitanje sadržaja registra potrebno je na ulaz I dovesti logičku jedinicu koja onda omogućava prolaz signala s izlaza bistabila na izlaze registra. Signal čitanja (ispisa) *I* obično se sinkronizira s upravljačkim signalom *CP*. Podatak se iz registra briše logičkom nulom na ulazu B registra, na koji su spojeni asinkroni ulazi C_d bistabila. Slika 1.4 prikazuje izgled signala na pojedinim točkama registra s paralelnim upisom i ispisom prilikom upisa i ispisa podatka 1101 (smjer čitanja podatka označen je zelenim strelicama).

Ovi registri imaju veliku brzinu rada, ali koriste složenu prijenosnu liniju. Prijenosna linija (sabirnica) ima onoliko vodova koliko bitova ima podatak, odnosno svaki bit podatka ima svoj vod.



Slika 1.4.

Izgled signala na pojedinim točkama registra s paralelnim upisom i ispisom prilikom upisa i ispisa podatka 1101:

a) podatak *P*
b) signal upisa *U*
c) signali na ulazima bistabila *D*
d) signal brisanja registra *B*
e) impuls ritma *CP*
f) signal na izlazima bistabila *Q*
g) signal čitanja (ispisa) *I*
h) pročitani podatak *R*

www.element.hr

1.1.3. Posmačni registar

Registar sa serijskim upisom i ispisom podataka naziva se posmačni registar (engl. *shift register*).

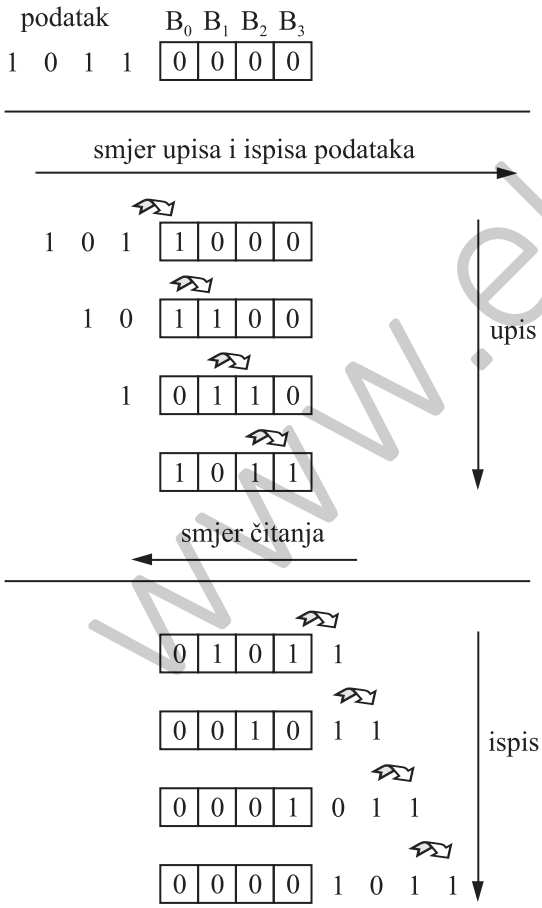
Posmačni registar digitalni je sklop kod kojeg se pojedinačni bitovi podataka sa svakim impulsom ritma *CP* pomiču za jedno mjesto. Podatci se mogu pomicati udesno ili ulijevo.

Slika 1.5 prikazuje načelo upisa i ispisa 4-bitnog podatka 1101. Pretpostavimo da je sadržaj registra prije upisa bio 0000 i da se nakon podatka u registar upisuju nule. Bistabil B_3 je bistabil najveće težine pa je potrebno podatak na ulaz registra dovesti obrnutim redoslijedom bitova. Na ulaz registra (bistabil B_0) najprije se dovodi bit najvećeg značenja MSB. Nakon prvog impulsa ritma taj se bit upisuje u bistabil B_0, a na ulaz se dovodi sljedeći bit 1. Sljedeći impuls ritma prebacuje bit MSB u bistabil B_1, a u bistabil B_0 upisuje se 1 i tako dalje. Svaki sljedeći impuls ritma pomiče bitove podatka za jedno mjesto udesno.

Za upis (kao i za ispis) 4-bitnog podatka potrebna su četiri koraka, odnosno četiri impulsa ritma *CP*.

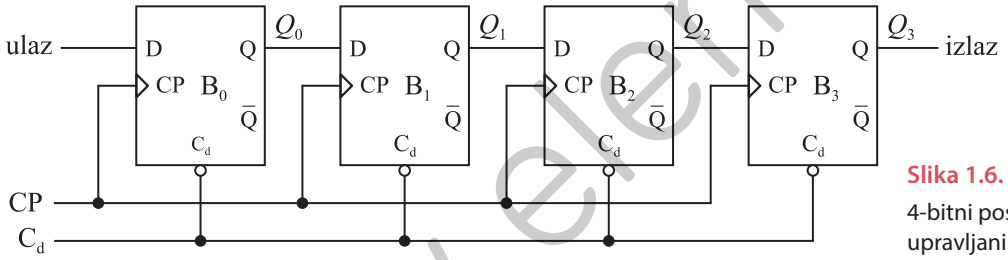
Općenito je za upis *n*-bitnog podatka u posmačni registar potrebno ***n* impulsa ritma *CP***. Također, za ispis *n*-bitnog podatka iz posmačnog registra potrebno je ***n* impulsa ritma *CP***.

Stvarni registri ostvaruju se bistabilima povezanim u niz, odnosno izlazi prethodnih bistabila povezuju se sa sinkronim ulazima sljedećeg bistabila. Upravljački ulazi svih bistabila povezani su na zajednički generator takta. Najčešće se koriste bistabili D (slika 1.6), ali mogu se koristiti i bistabili SR ili JK.



Slika 1.5.

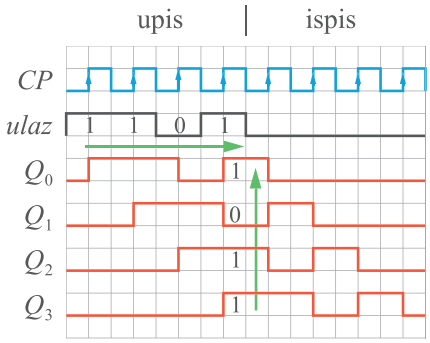
Načelo upisa i ispisa 4-bitnog podatka 1101 (MSB je na slici desno)



Slika 1.6.

4-bitni posmačni registar s upravljanim bistabilima D

www.element.hr



Slika 1.7.

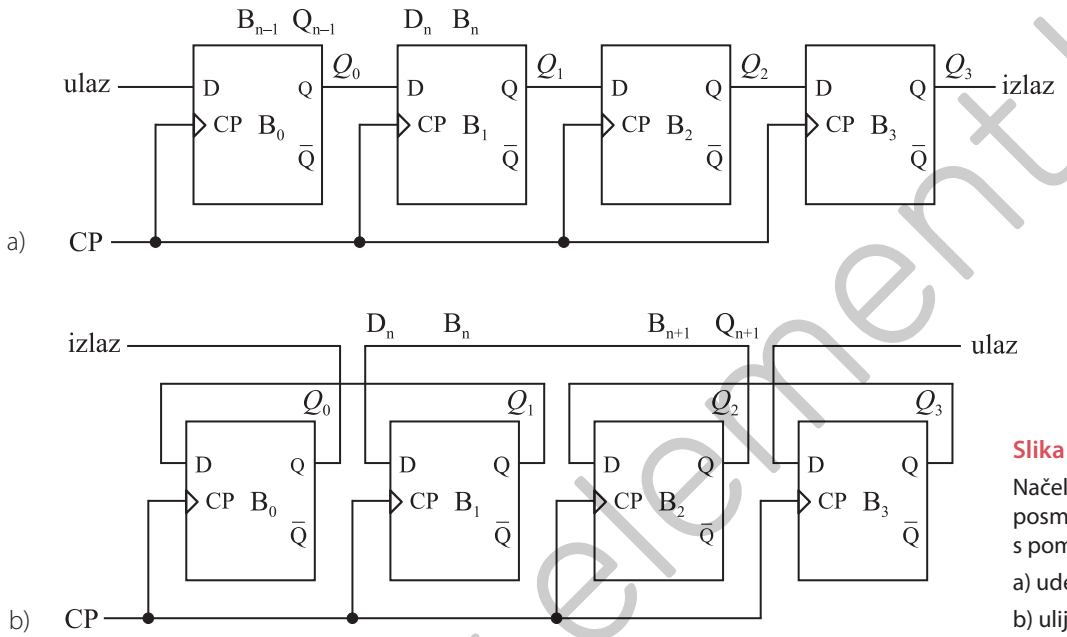
Vremenski dijagrami posmačnog registra pri upisu i ispisu podatka 1101

Slika 1.7 prikazuje vremenske dijagrame upravljačkog ulaza, ulaza za podatke i izlaza pojedinih idealnih bistabila (bistabila bez kašnjenja) pri upisu i ispisu podatka 1101. Treba naglasiti da bistabili koji se koriste moraju imati dovoljno **kašnjenje**, odnosno novi podatak ne smije se upisati u bistabil dok stari nije pomaknut na sljedeći bistabil.

Prije upisa podatka prethodni se sadržaj registra obriše asinkronim ulazom bistabila C_d. Proces upisa podatka traje četiri impulsa ritma, a nakon toga (ili kasnije) slijedi ispis podatka. Pritom frekvencije upisa i ispisa ne moraju biti jednake. Podatci se na ulaz registra dovode serijski. Serijski izlaz registra je na izlazu Q zadnjeg bistabila, a stanja bistabila registra promatramo kao paralelni slijed podataka.

1.1.4. Posmačni registar s pomakom podatka u oba smjera

Do sada su obrađivani posmačni registri koji su pomicali podatke s lijeve na desnu stranu. Izlaz Q prethodnog bistabila bio je povezan sa sinkronim ulazom (npr. D) sljedećeg bistabila. Međutim, često je potrebno pomicati podatke u oba smjera. Ako se koriste registri građeni od bistabila D, povežemo li izlaz prethodnog bistabila Q_{n-1} s ulazom D_n promatranog bistabila, podatci se pomiču udesno. Ako povežemo izlaz sljedećeg bistabila Q_{n+1} s ulazom D_n promatranog bistabila, podatci se pomiču ulijevo (slika 1.8).



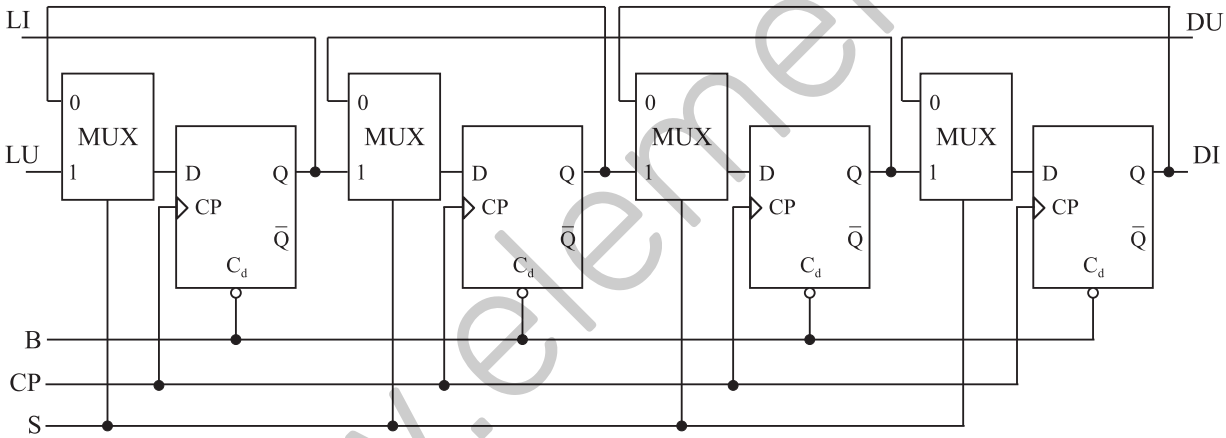
Slika 1.8.

Načelna shema posmačnog registra s pomakom podatka:

a) udesno

b) ulijevo

www.element.hr



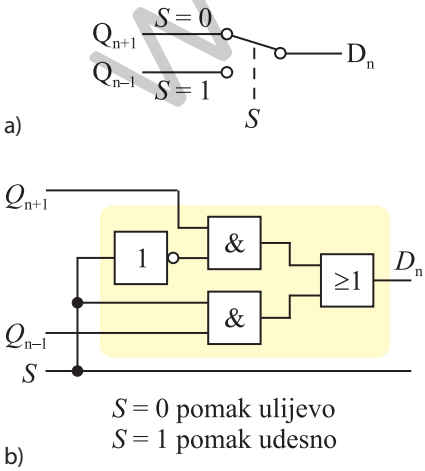
Slika 1.9.

Shema posmačnog registra s pomakom podatka u oba smjera

Ako između svaka dva bistabila ugradimo sklop kojim možemo prespajati vezu Q_{n-1} i D_n, odnosno Q_{n+1} i D_n, dobit ćemo registar s pomakom podatka u oba smjera (slika 1.9). Sklop koji bira jedan od ulaza i spaja ga s izlazom naziva se selektor ili multipleksor (MUX) (slika 1.10 a). Taj je sklop detaljnije obrađen u sljedećem poglavlju.

Pomičemo li podatak udesno, podatak se dovodi na lijevi ulaz – LU, a izlaz je na izlazu Q zadnjeg bistabila (desni izlaz – DI). U suprotnom se slučaju podatak dovodi na desni ulaz DU, a izlaz je na lijevom izlazu LI. Signalom (nulom) na ulazu B možemo obrisati sadržaj registra.

Signalom na ulazu S mijenja se smjer pomicanja podatka. Ako je ulaz za odabir smjera $S = 1$, na ulaz D_n spaja se izlaz prethodnog bistabila Q_{n-1} i podatci se pomiču udesno, a ako je ulaz za izbor smjera pomicanja podatka $S = 0$, na ulaz D_n se spaja izlaz sljedećeg bistabila Q_{n+1} i podatci se pomiču ulijevo (slika 1.10 b).

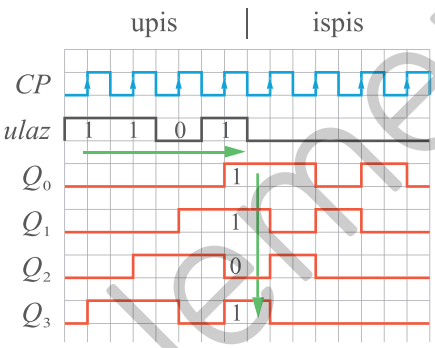


Slika 1.10.

Promjena smjera pomaka podatka multipleksorom:

a) načelna shema

b) izvedba multipleksora logičkim sklopovima

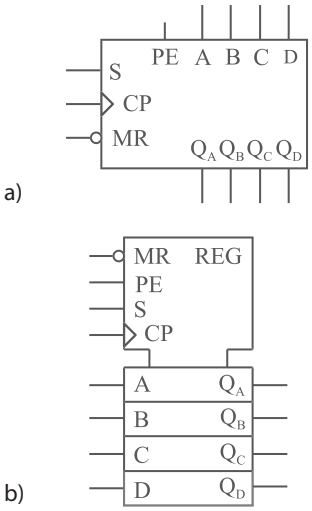


Slika 1.11.

Vremenski dijagrami 4-bitnog posmačnog registra pri pomicanju podatka 1101 ulijevo

Vremenski dijagrami izlaza u slučaju pomicanja podatka ulijevo (slika 1.11) izgledaju slično kao i kod registra s pomicanjem podatka udesno (slika 1.7), samo što su izlazi promijenili redoslijed.

www.element.hr



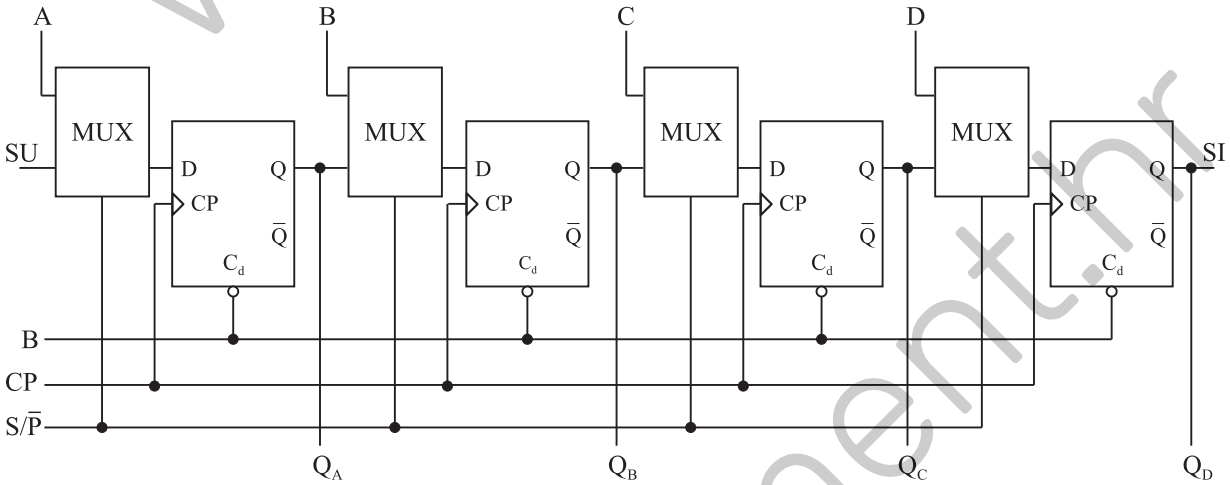
Slika 1.12.
Simboli registara:
a) jednostavniji simbol
b) IEC simbol

Registri se u shemama prikazuju simbolima (slika 1.12). Na njima se vide ulazi i izlazi, ulaz impulsa ritma CP te ulazi za omogućavanje rada (označavaju se sa PE, G, E, OE itd.). Ulaz za brisanje (postavljanje nula u sve bistabile) obično se označava sa CLR (engl. *clear*), MR (engl. *master reset*) ili R (engl. *reset*). Ulaz S je upravljački ulaz kojim se može izabrati način rada registra. Na IEC simbolima registara (slika 1.12 b) razlikuju se dva dijela: gornji upravljački dio i donji dio koji predstavlja same bistabile.

1.1.5. Univerzalni registri

Univerzalni registri su registri s mogućnošću serijskog i paralelnog upisa i ispisa podatka.

Na shemi univerzalnog registra (slika 1.13) vidi se da se vrsta upisa i ispisa podatka također bira multipleksorom, kao i kod izbora smjera pomicanja podatka posmačnog registra na slici 1.9. Ovisno o stanju upravljačkog ulaza S/$\overline{P}$ multipleksor na ulaz D *n*-tog bistabila prespaja signal s paralelnog ulaza ili signal s izlaza prethodnog bistabila.

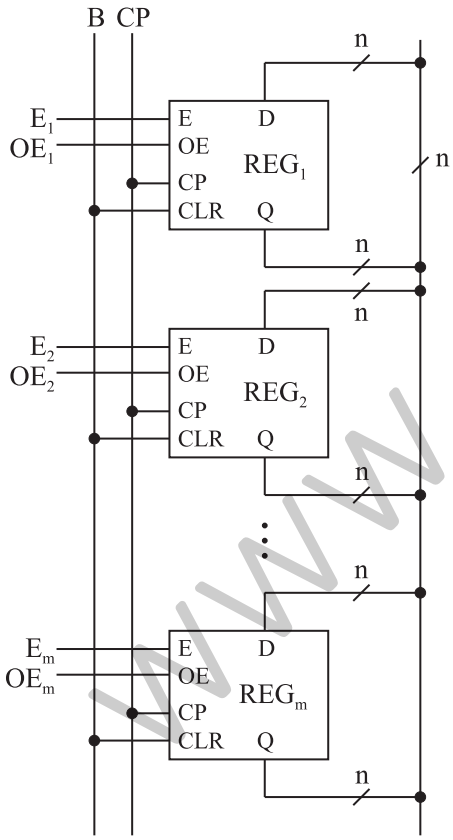


SU – serijski ulaz
SI – serijski izlaz
B – ulaz za brisanje
S/$\overline{P}$ – upravljački ulaz za izbor načina upisa
A, B, C i D – paralelni ulaz

Slika 1.13.
Shema univerzalnog registra

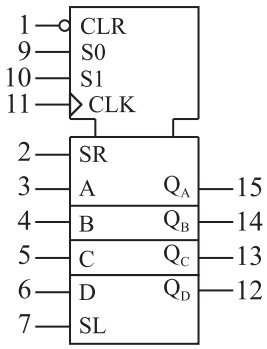
Ako multipleksor ima više upravljačkih ulaza, moguće je registru dodati funkciju promjene smjera pomicanja podatka ili funkciju omogućavanja paralelnog upisa ulazom E (engl. *enable*) ili PE (engl. *paralel enable*).

www.element.hr



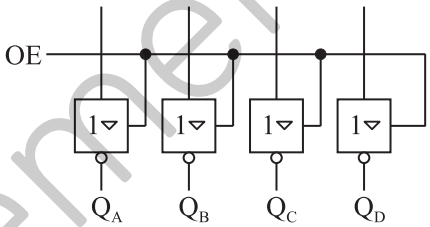
Slika 1.15.

Povezivanje registara s tri stanja na zajedničku sabirnicu



Slika 1.16.

IEC simbol univerzalnog registra 74194 (brojevi označavaju nožice čipa)



Slika 1.14.

Izlazi registra s tri stanja

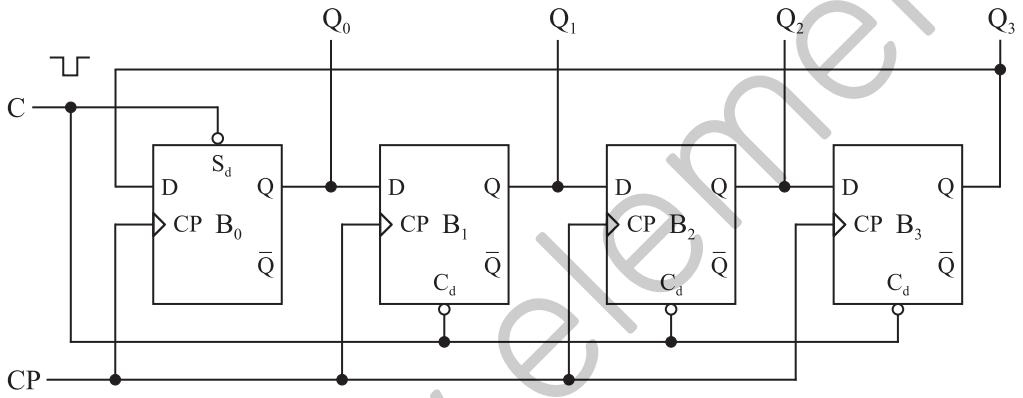
Na paralelne je izlaze moguće dodati sklopove s tri stanja kojima se upravljačkim ulazom *OE* (engl. *output enable*) dopušta ili zabranjuje prolaz izlaznih signala bistabila na izlaze registra (slika 1.14). To je važna mogućnost registra, zato što se više registara redovito povezuje na zajedničku sabirnicu po kojoj se razmjenjuju podatci između registara (slika 1.15). Vodovi sabirnice označeni su kosom crticom preko linije uz podatak o broju vodova *n*. Oni registri kojima su djelotvorni upravljački ulazi za omogućavanje paralelnog ulaza podataka *E* primaju podatke. Onaj registar (samo jedan) kojemu izlazi nisu u stanju visoke impedancije, odnosno čiji upravljački ulaz *OE* to omogućuje, šalje podatke. Ulazom *B* briše se sadržaj svih registara.

Primjerice, 4-bitni univerzalni integrirani registar 74194 (slika 1.16) ima šest ulaza za podatke. Jedan je ulaz serijski ulaz za pomak podatka udesno SR (engl. *serial right*), drugi ulaz je serijski ulaz za pomak podatka ulijevo SL (engl. *serial left*), a četiri ulaza A, B, C i D su paralelni ulazi. Registar ima četiri paralelna izlaza Q_A, Q_B, Q_C i Q_D. Izlazi Q_A i Q_D ujedno su i serijski izlazi pri pomicanju podatka ulijevo ili udesno. Registar u upravljačkom dijelu ima ulaz za taktne impulse CLK, ulaz za brisanje CLR te dva upravljačka ulaza S_1 i S_0 koji određuju način (mod) rada registra. U podatcima proizvođača (engl. *datasheet*) moguće je naći više podataka o nekom integriranom sklopu.

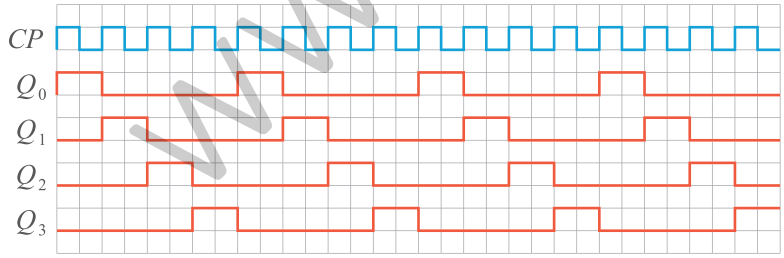
1.1.6. Posmačni registar kao brojilo

Posebni spoj posmačnog registra nastaje ako izlaz Q ili $\overline{Q}$ zadnjeg bistabila povežemo sa sinkronim ulazom prvog bistabila. Stanja se ponavljaju nakon određenog broja kombinacija pa se tako spojen registar može koristiti kao brojilo. Svaka kombinacija bitova odgovara konkretnom broju. Posmačni registar kao brojilo izvodi se kao prstenasto ili Johnsonovo brojilo (ukršteno prstenasto brojilo).

www.element.hr



Slika 1.17.
Shema prstenastog brojila



Slika 1.18.
Vremenski dijagram prstenastog brojila

Prstenasto brojilo (slika 1.17) je brojilo kod kojeg se izlaz **Q** zadnjeg bistabila povezuje sa sinkronim ulazom (u ovom primjeru s ulazom D) prvog bistabila. Kratkotrajnom se nulom na ulazu C u prvi bistabil asinkronim ulazom S_d upisuje 1, a u ostale se asinkronim ulazom C_d upisuju nule. Sa svakim impulsom ritma *CP* upisana se jedinica pomiče za jedno mjesto udesno do zadnjeg bistabila pa ponovno u prvi i tako dalje (slika 1.18).

Q_0	Q_1	Q_2	Q_3			
1	0	0	0	→	0	(0)
0	1	0	0	→	1	
0	0	1	0	→	2	
0	0	0	1	→	3	$(n-1)$
1	0	0	0			

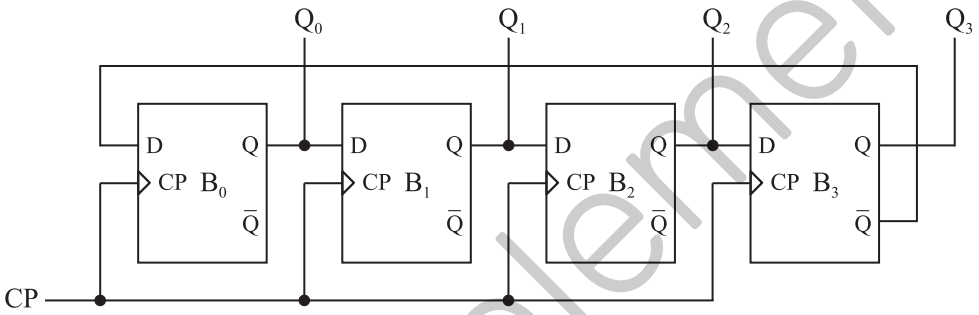
Slika 1.19.
Kombinacije prstenastog brojila

Stanja registra se ponavljaju nakon n impulsa ritma, pri čemu je n broj bistabila u sklopu. Svaka binarna kombinacija odgovara određenom dekadskom broju od 0 do $n-1$, odnosno **prstenasto brojilo broji od 0 do $n-1$**.

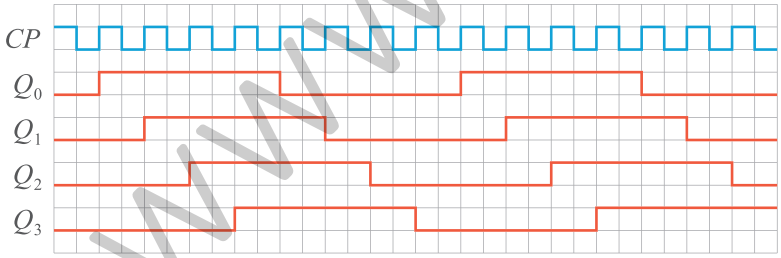
Slika 1.19 prikazuje kombinacije prstenastog brojila. Ako se promatra frekvencija impulsa na izlazu svakog bistabila u odnosu na frekvenciju impulsa ritma, prstenasto brojilo **dijeli frekvenciju impulsa ritma sa n**. Dobiveni impulsi prikladni su za upravljanje koračnim (engl. *step*) motorom.

Johnsonovo brojilo (slika 1.20) je brojilo kod kojeg se izlaz $\overline{Q}$ zadnjeg bistabila povezuje sa sinkronim ulazom (u ovom primjeru s ulazom D) prvog bistabila. Uz pretpostavku da je početni sadržaj svih bistabila 0, stanje izlaza $\overline{Q}$ zadnjeg bistabila je 1 i

www.element.hr



Slika 1.20.
Shema Johnsonova brojila



Slika 1.21.
Vremenski dijagrami Johnsonova brojila

Q_0	Q_1	Q_2	Q_3			
0	0	0	0	→	0	(0)
1	0	0	0	→	1	
1	1	0	0	→	2	
1	1	1	0	→	3	
1	1	1	1	→	4	
0	1	1	1	→	5	
0	0	1	1	→	6	
0	0	0	1	→	7	$(2n-1)$
0	0	0	0	→	0	

Slika 1.22.
Kombinacije Johnsonova brojila

ta se jedinica u trenutku rastućeg brida *CP* upisuje u prvi bistabil, zatim u drugi i tako dalje sve dok se jedinice ne upišu u sve bistabile. Tada $\overline{Q}$ zadnjeg bistabila postaje 0 pa se postupno u sve bistabile upisuju nule itd. Nakon $2n$ impulsa ritma stanja registra se ponavljaju (slika 1.21). Ako se na izlaze registra spoji sklop koji pretvara dobivene binarne kombinacije u dekadske brojeve, dobiva mo brojeve od 0 do $2n-1$, odnosno **Johnsonovo brojilo broji od 0 do $2n-1$**. Slika 1.22 prikazuje kombinacije Johnsonova brojila. Ako se promatra frekvencija impulsa na izlazu svakog bistabila u odnosu na frekvenciju impulsa ritma, **Johnsonovo brojilo dijeli frekvenciju impulsa ritma sa $2n$**.

1.1.7. Primjene registara

Registri imaju mnogobrojne primjene. Oni mogu služiti kao:

a) privremena memorija
b) sklop za prilagodbu različitih frekvencija upisa i ispisa
c) kružeća memorija
d) brojilo
e) sklop za množenje i dijeljenje
f) sklop za pretvorbu načina prijenosa podataka
g) sklop za kašnjenje impulsa
h) sklop za promjenu matematičke notacije
i) izvedba stoga itd.

www.element.hr